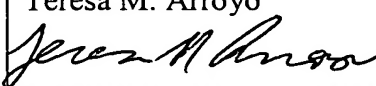


Docket No.	8733.592.00		
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE			
IN RE APPLICATION OF:	Yun-Bok LEE	GAU:	TBA
SERIAL NO:	10/067,845	EXAMINER:	TBA
FILED:	February 8, 2002		
FOR:	ARRAY SUBSTRATE FOR IPS MODE LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF FABRICATING THE SAME		
REQUEST FOR PRIORITY			
COMMISSIONER FOR PATENTS WASHINGTON, D.C. 20231			
SIR:			
<input type="checkbox"/>	Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.		
<input type="checkbox"/>	Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).		
<input checked="" type="checkbox"/>	Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.		
In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:			
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>	
KOREA	2001-6819	February 12, 2001	
Certified copies of the corresponding Convention Application(s)			
<input checked="" type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
<input type="checkbox"/>	were filed in prior application Serial No. filed		
<input type="checkbox"/>	were submitted to the International Bureau in PCT Application Number. Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.		
<input type="checkbox"/>	(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and		
	(B) Application Serial No.(s)		
<input type="checkbox"/>	are submitted herewith		
<input type="checkbox"/>	will be submitted prior to payment of the Final Fee		
Date: March 28, 2002		Respectfully Submitted, LONG ALDRIDGE & NORMAN LLP	
Sixth Floor 701 Pennsylvania Avenue, N.W. Washington, D.C. 20004 Tel. (202) 624-1200 Fax. (202) 624-1298		Teresa M. Arroyo 	
		Registration No.	50,015



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 6819 호
Application Number PATENT-2001-0006819

출원년월일 : 2001년 02월 12일
Date of Application FEB 12, 2001

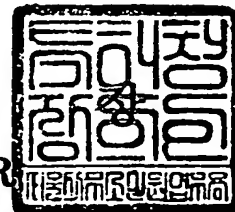
출원인 : 엘지.필립스 엘시디 주식회사
Applicant(s) LG.PHILIPS LCD CO., LTD.



2002 년 02 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2001.02.12
【발명의 명칭】 횡전계형 액정표시장치용 하부 기판 및 그의 제조 방법
【발명의 영문명칭】 Array Panel used for In-Plane Switching mode Liquid crystal display device and method for fabricating the same
【출원인】
【명칭】 엘지 .필립스 엘시디 주식회사
【출원인코드】 1-1998-101865-5
【대리인】
【성명】 정원기
【대리인코드】 9-1998-000534-2
【포괄위임등록번호】 1999-001832-7
【발명자】
【성명의 국문표기】 이윤복
【성명의 영문표기】 LEE,YUN-BOK
【주민등록번호】 670110-1047012
【우편번호】 121-080
【주소】 서울특별시 마포구 대흥동 43-8
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 정원기 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 11 면 11,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 40,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에서는, 투명기판을 구비하는 단계와; 상기 투명기판 상부에 사진식각(photolithography)공정에 의한 제 1 마스크 공정에 의해 게이트 전극을 포함하는 게이트 배선과, 공통전극을 형성하는 단계와; 상기 게이트 배선 및 공통전극 상부에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상부에 제 2 마스크 공정에 의해 비정질 실리콘층 및 불순물 비정질 실리콘층을 이용하여 반도체층을 형성하는 단계와; 상기 반도체층 상부에 제 3 마스크 공정에 의해 화소전극과, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되는 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 사이 구간의 불순물 비정질 실리콘층을 식각하여 채널을 형성하는 단계와; 상기 화소전극 및 데이터 배선 상부에 배향막을 형성하는 단계와; 상기 배향막을 포함하는 기판 상에 열처리를 하여, 배향막의 경화 및 상기 게이트 전극, 반도체층, 소스 및 드레인 전극으로 이루어지는 박막 트랜지스터의 어닐링(annealing)에 수반되는 열처리를 동시에 실시하는 단계를 포함하는 횡전계형 액정표시장치용 하부기판의 제조방법을 제공함으로써, 마스크 수 및 공정시간의 단축으로 공정비용이 절감되어, 생산력을 향상시킬 수 있는 장점을 가진다.

【대표도】

도 6d

【명세서】**【발명의 명칭】**

횡전계형 액정표시장치용 하부 기판 및 그의 제조방법{Array Panel used for In-Plane Switching mode Liquid crystal display device and method for fabricating the same}

【도면의 간단한 설명】

도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도.

도 2a, 2b는 일반적인 횡전계형 액정표시장치의 오프(off), 온(on)상태의 동작을 각각 도시한 단면도.

도 3은 종래의 횡전계형 액정표시장치용 하부 기판의 한 화소부에 대한 평면을 도시한 평면도.

도 4a 내지 4d는 도 3의 절단선 A-A, B-B, C-C에 따라 각각 절단된 단면을 공정단계별로 도시한 단면도.

도 5는 본 발명에 따른 횡전계형 액정표시장치용 하부 기판의 한 화소부에 대한 평면을 도시한 평면도.

도 6a 내지 6d는 도 5의 절단선 D-D 및 E-E에 따라 각각 절단된 단면을 공정단계별로 도시한 단면도.

<도면의 주요부분에 대한 부호의 설명>

100 : 투명기판

T : 박막 트랜지스터

116 : 화소전극

118 : 배향막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로, 좀더 상세하게는 횡전계형(IPS ; In-Plane Switching) 액정표시장치 및 그의 제조방법에 관한 것이다.
- <11> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <12> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <13> 현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix LCD 이하, 액

정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

<14> 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이 기판(하부기판)과, 이 상부 및 하부 기판 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

<15> 그러나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 갖고 있다. 따라서, 상기의 단점을 극복하기 위해 새로운 기술이 제안되고 있다. 하기 기술될 액정표시장치는 횡전계에 의한 액정 구동방법으로 시야각 특성이 우수한 장점을 갖고 있다.

<16> 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 관해 상세히 설명한다.

<17> 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 단면도이다.

<18> 도시한 바와 같이, 컬러필터 기판인 상부기판(10)과 어레이 기판인 하부기판(20)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(10, 20) 사이에는 액정층(30)이 개재되어 있다.

<19> 상기 하부기판(20)상에는 공통전극(22)과 화소전극(24)이 동일 평면상에 형성되어 있다.

- <20> 상기 액정층(30)은 상기 공통전극(22)과 화소전극(24)의 수평전계(26)에 의해 작동된다.
- <21> 도 2a, 2b는 일반적인 횡전계형 액정표시장치의 오프(off), 온(on)상태의 동작을 각각 도시한 단면도이다.
- <22> 도 2a에서는, 오프상태로 수평전계가 인가되지 않으므로 액정(32)의 상변이가 일어나지 않는 상태이다.
- <23> 도 2b에서는, 전압이 인가된 온(on) 상태에서의 액정의 상변이를 도시한 도면으로, 상기 공통전극(22) 및 화소전극(24)과 대응하는 위치의 액정(32a)의 상변이는 없지만 공통전극(22)과 화소전극(24) 사이 구간에 위치한 액정(32b)은 이 공통전극(22)과 화소전극(24)사이에 전압이 인가되므로써 형성되는 수평전계(26)에 의하여, 상기 수평전계(26)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.
- <24> 그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 80~85°방향에서 가시할 수 있다.
- <25> 도 3은 일반적인 횡전계형 액정표시장치용 하부 기판의 한 화소부에 대한 평면을 도시한 평면도이다.
- <26> 도시한 바와 같이, 서로 직교하는 방향으로 게이트 배선(66) 및 데이터 배선(70)이 형성되어 있고, 이 게이트 배선(66) 및 데이터 배선(70)이 교차하는 영

역에는 아일랜드(island) 형상의 반도체층(84)을 포함하는 박막 트랜지스터(T)가 형성되어 있다.

<27> 또한, 상기 게이트 배선(66)과 평행한 방향으로 공통배선(64)이 형성되어 있고, 이 공통배선(64)에서는 다수 개의 공통전극(62)이 분기되어 있다.

<28> 그리고, 상기 박막 트랜지스터(T)에서 연장된 인출배선(72)에서는 다수개의 화소전극(74)이 상기 공통전극(62)과 서로 엇갈리게 분기되어 있다.

<29> 또한, 상기 게이트 및 데이터 배선(66, 70) 각각의 양 끝단에는 외부회로(미도시)와의 연결을 위해 게이트 및 데이터 패드(67, 71)가 형성되어 있고, 이 게이트 및 데이터 패드(67, 71) 상에는 게이트 및 데이터 패드전극(75, 77)이 각각 형성되어 있으며, 이 게이트 및 데이터 패드전극(75, 77) 상에는 이 게이트 및 데이터 패드전극(75, 77)을 일부 노출시키는 게이트 및 데이터 패드전극 콘택홀(83, 73)이 형성되어 있다.

<30> 상술한 일반적인 횡전계형 액정표시장치는 액정에 수평장을 인가하기 위해 공통전극과 화소전극이 동일한 하부기판에 형성됨을 특징으로 한다.

<31> 도 4a 내지 4d는 도 3의 절단선 A-A, B-B, C-C에 따라 절단된 단면을 공정 단계별로 도시한 단면도로서, 이 절단선 A-A, B-B, C-C는 각각 박막 트랜지스터 부, 공통전극부 및 화소전극부 그리고, 게이트 패드전극부의 단면도에 관한 것이다.

<32> 상기 하부기판의 제조공정에는 크게 절연물질, 반도체물질, 도전성금속이 사용되고, 각 단계별로 별도의 마스크(mask)를 제작하고, 이 마스크를 이용한 사진

식각(photolithography) 공정 후 식각을 통하여, 임의의 형태로 각 층(절연층, 반도체층, 도전성 금속층 등)을 패턴화하게 된다.

<33> 상기 일련의 공정을 사진식각공정에 의한 마스크 공정이라 일컫는다.

<34> 도 4a는 투명기판(1) 상에 알루미늄(Al)/텅스텐(W), 알루미늄/탄탈(Ta), 알루미늄/티탄(Ti)과 같은 알루미늄 합금을 스퍼터링(sputtering) 기법에 의해 증착한 후, 제 1 마스크 공정에 의해 제 1 게이트 전극(80a), 제 1 공통전극(62a), 끝단에 게이트 패드(67)를 포함하는 제 1 게이트 배선(66a)을 형성하는 단계이다.

<35> 도 4b는 상기 제 1 게이트 전극(80a), 제 1 공통전극(62a), 제 1 게이트 배선(66a)이 형성된 기판 상에 상기 제 1 게이트 전극(80a), 제 1 공통전극(62a), 제 1 게이트 배선(66a)이 형성된 영역을 덮는 양극산화용 마스크를 직접 드로잉(drawing)인 한 후, 양극 산화처리하여 상기 양극산화용 마스크가 덮힌 영역상에 알루미늄(Al_2O_3)막으로 이루어진 제 2 게이트 전극(80b), 제 2 공통전극(62b), 제 2 게이트 배선(66b)을 형성하여, 이중층으로 이루어진 게이트 전극(80), 공통전극(62), 게이트 배선(66)을 각각 완성한다.

<36> 이때, 상기 제 2 게이트 배선(66b)이 형성되지 않은 제 1 게이트 배선(66a)의 끝단부를 게이트 패드부(I)라 칭한다.

<37> 도 4c는 상기 게이트 전극(80), 공통전극(62), 게이트 배선(66)이 형성된 기판 상에 투명도전성 물질인 ITO(Indium Tin Oxide)를 증착한 후, 제 2 마스크

공정에 의해 상기 게이트 패드부(I)를 덮는 게이트 패드 전극(75)을 형성하는 단계이다.

<38> 상기 IT0로 이루어진 게이트 패드 전극(75)은 추후 공정에서 외부회로(미도시)와 게이트 패드(67)간의 접촉저항을 낮추는 역할을 한다.

<39> 도 4d에서는, 상기 게이트 패드 전극(75)이 형성된 기판 상에 플라즈마화학 증착(Plasma Enhanced Chemical Vapor Deposition) 장비를 이용하여, 실리콘 질화막(SiNx), 비정질 실리콘(a-Si ; amorphous Silicon)층, 불순물 비정질 실리콘(n+ a-Si)층을 차례대로 증착한 후, 상기 실리콘 질화막을 게이트 절연막(82)으로 형성하고, 상기 비정질 실리콘층 및 불순물 비정질 실리콘층을 제 3 마스크 공정에 의해 각각 액티브층(84a) 및 오믹 콘택층(84b ; ohmic contact layer)으로 이루어진 반도체층(84)을 형성하는 단계이다.

<40> 상기 오믹 콘택층(84b)은 액티브층(84a)과 추후 형성될 금속층과의 접촉저항을 낮추기 위한 목적으로 형성한다.

<41> 도 4e에서는, 상기 반도체층(84)이 형성된 기판의 게이트 절연막(82) 상에 제 4 마스크 공정으로 제 1 게이트 패드전극 콘택홀(83a)을 형성하는 단계이다.

<42> 이 제 1 게이트 패드전극 콘택홀(83a)은 추후 공정에서 외부회로와 게이트 패드전극(75)을 전기적으로 연결하기 위해 형성하는 것이다.

<43> 도 4f에서는, 상기 제 1 게이트 패드전극 콘택홀(83a)이 형성된 기판 상에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W)과 같은 금속 물질을 제 1 금속층으로 증착하고, 이 제 1 금속층 상에 알루미늄/팔라듐, 알루미늄/텅스텐, 알루미늄/탄탈과

같은 알루미늄 합금을 제 2 금속층으로 연속증착한 후, 이 두 금속층을 제 5 마스크 공정에 의해 서로 일정간격 이격되는 소스 및 드레인 전극(86, 88)을 형성하고, 화소전극(74) 그리고, 미도시된 데이터 패드를 포함하는 데이터 배선을 형성한다.

<44> 이 소스 및 드레인 전극(86, 88)의 형성공정 후에는, 이 소스 및 드레인 전극(86, 88) 사이 구간의 오믹 콘택층(84b)를 제거하여, 그 하부층을 이루는 액티브층(84a)을 일부 노출시킴으로써, 채널(ch ; channel)을 형성한다.

<45> 이때, 상기 화소전극(74)과 미도시한 데이터 배선은 동일 평면상에 서로 평행하게 형성되기 때문에, 두 금속물질간의 전기적 간섭을 방지하기 위해, 이 화소전극(74)은 게이트 배선과 데이터 배선이 교차하는 영역으로 정의되는 화소영역에서 공통전극(62)보다 내부에 위치하도록 형성한다.

<46> 상기 게이트 전극(80) 및 반도체층(84)과 소스 및 드레인 전극(86, 88)은 박막 트랜지스터(T)를 이룬다.

<47> 도 4g는 상기 박막 트랜지스터(T)가 형성된 기판 상에, 박막 트랜지스터(T)의 손상이나 퇴화를 막기 위한 목적으로 실리콘 질화막과 같은 절연물질을 게이트 절연막(도 4d의 82)보다 좀 더 두껍게 증착한 후, 제 6 마스크 공정으로 상술한 제 4 마스크 공정의 제 1 게이트 패드전극 콘택홀(도 4e의 83a)과 대응하는 위치에 제 2 게이트 패드전극 콘택홀(미도시)을 형성하여 게이트 패드전극 콘택홀(83)을 완성하는 단계이다.

- <48> 즉, 상술한 바와 같이 기존의 횡전계형 액정표시장치용 하부 기판은 총 6 마스크 공정에 제작되게 된다.
- <49> 그밖에, 비용절감 차원에서 상기 어레이 공정 중 별도의 투명도전물질로 게이트 및 데이터 패드전극을 형성하는 공정은 생략되기도 하며, 게이트 및 데이터 패드(전극)콘택홀을 형성하는 공정을 1회의 마스크 공정으로 줄여 진행하는 방식도 있다.
- <50> 즉, 기존의 횡전계형 액정표시장치용 하부 기판의 제조공정은 6 마스크 내지 4 마스크 공정을 거쳐 제작되었다.
- <51> 이러한 마스크 공정 후에는, 박막 트랜지스터의 특성을 향상시키기 위한 어닐링(annealing)공정이 수반된다.
- <52> 상기 어닐링 공정은, 온도의 오르내림에 따라 상변화가 일어나는 물질에 대하여, 일정한 조건에서 열처리를 한 후 충분한 시간에 걸쳐서 천천히 냉각시킴으로써 물질의 내부조직을 미세화시키고, 내부 응력을 제거하여 물질을 안정된 평형상태로 유지시키는 공정을 뜻한다.
- <53> 즉, 박막 트랜지스터의 어닐링 공정은 박막 트랜지스터의 전기적 특성을 향상시키기 위해 필요한 공정이다.
- <54> 상기 어닐링 공정 후에는 게이트 배선과 데이터 배선간의 단선이나 단락(短絡) 및 박막 트랜지스터의 구동에 대한 전기적 검사 공정을 거쳐 양품을 가려내는 공정이 진행된다.

- <55> 이러한 일련의 어레이 공정을 거친 하부기판은 미도시한 상부기판과 함께 합착 및 액정의 주입으로 액정표시장치를 제작하는 액정 셀 공정으로 들어가게 된다.
- <56> 상기 액정 셀 공정의 초기 단계에서는, 액정의 배향을 일정한 방향으로 유도하기 위한 배향막을 형성하는 공정이 포함된다.
- <57> 이 배향막 형성공정은 고분자 물질을 기판 전면에 걸쳐 도포한 후, 일정한 조건에서 열처리하여 경화시키는 소성공정을 거친 후, 러빙처리를 하여 일정한 방향으로 홈이 형성된 배향막으로 형성하는 공정이다.
- <58> 일반적으로, 상기 배향막의 소성공정에 소요되는 열처리 공정은 상술한 박막 트랜지스터 어닐링 공정의 열처리 공정과 동일한 조건 하에서 진행되므로, 어레이 공정과 액정 셀 공정간에 동일한 공정이 중복되어 공정비용 및 공정시간을 증가시키는 요인으로 작용하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <59> 그러나, 본 발명에서는 이러한 마스크 공정수 및 공정시간을 단축하여, 마스크 수에 따른 공정 비용 및 공정 시간이 길어짐에 따라 증가되기 쉬운 불량 발생률을 줄여 생산성과 수율을 향상시키므로써, 생산원가 절감이 효과적으로 나타나는 횡전계형 액정표시장치를 제공하는 것을 목적으로 한다.
- <60> 즉, 본 발명에서는 어레이 공정에서 별도의 보호층 형성공정을 생략하고, 박막 트랜지스터 상에 바로 배향막을 형성하므로써, 이 배향막에 의해 박막 트랜

지스터 소자를 보호함과 동시에, 배향막의 소성공정에 따른 열처리 공정과정에서 박막 트랜지스터의 어닐링에 필요한 열처리를 동시에 함으로써, 공정 수 및 공정시간을 단축하도록 하는 것이다.

【발명의 구성 및 작용】

<61> 상기와 같은 목적을 달성하기 위해 본 발명에서는 투명기판과; 상기 투명기판 상에 제 1 방향으로 형성된 게이트 전극을 포함하는 게이트 배선과; 상기 제 1 방향으로 형성된 공통배선 및 상기 공통배선에서 상기 제 2 방향으로 다수 개 분기된 공통전극과; 상기 게이트 배선 및 공통전극 상부에 형성된 게이트 절연막과; 상기 게이트 절연막 상부에 형성된 비정질 실리콘(a-Si) 층 및 불순물 반도체(n+ a-Si)층으로 이루어진 반도체층과; 상기 반도체층 상부에 위치하며, 상기 제 2 방향으로 형성된 데이터 배선 및 상기 데이터 배선에 연결된 소스 및 드레인 전극과; 상기 드레인 전극에서 연장된 인출배선에서 다수 개 분기되어 상기 공통전극과 서로 엇갈리게 형성된 화소전극과; 상기 화소전극의 상부에 위치하며, 상기 화소전극과 연접하여 형성된 배향막을 포함하는 횡전계형 액정표시장치용 하부기판을 제공한다.

<62> 상기 게이트 절연막은 BCB(BenzoCycloButene), 아크릴계 레진(Acrylic Resin) 중 어느 하나로 이루어지며, 상기 배향막은 폴리이미드(polyimide)막으로 이루어지고, 상기 게이트 배선 및 공통배선은 순수 알루미늄, 알루미늄을 포함하는 금속층중 어느 하나로 이루어진다.

- <63> 그리고, 상기 데이터 배선 및 화소전극은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 중 어느 하나로 이루어진다.
- <64> 본 발명의 또 다른 특징에서는, 투명기판을 구비하는 단계와; 상기 투명기판 상부에 사진식각(photolithography)공정에 의한 제 1 마스크 공정에 의해 게이트 전극을 포함하는 게이트 배선과, 공통전극을 형성하는 단계와; 상기 게이트 배선 및 공통전극 상부에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상부에 제 2 마스크 공정에 의해 비정질 실리콘층 및 불순물 비정질 실리콘층을 이용하여 반도체층을 형성하는 단계와; 상기 반도체층 상부에 제 3 마스크 공정에 의해 화소전극과, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되는 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 사이 구간의 불순물 비정질 실리콘층을 식각하여 채널을 형성하는 단계와; 상기 화소전극 및 데이터 배선 상부에 배향막을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 하부기판의 제조방법을 제공한다.
- <65> 상기 열처리는 200~230℃에서 2~3시간 동안 이루어짐을 특징으로 하며, 상기 배향막은 폴리이미드(polyimide) 또는 폴리아미드(polyamide)로 이루어지고, 상기 게이트 절연막은 BCB(BenzoCycloButene), 아크릴계 레진(Acrylic Resin) 중 어느 하나로 이루어짐을 특징으로 한다.
- <66> 그리고, 상기 배향막을 형성하는 단계에서, 상기 배향막을 포함하는 기판 상에 열처리를 하여, 배향막의 경화 및 상기 게이트 전극, 반도체층, 소스 및 드레인 전극으로 이루어지는 박막 트랜지스터의 어닐링(annealing)에 수반되는 열처리를 동시에 실시하는 단계를 더욱 포함한다.

- <67> 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 상세히 설명한다.
- <68> 도 5는 본 발명의 횡전계형 액정표시장치용 하부 기판의 한 화소부에 대한 평면을 도시한 평면도로서, 설명의 편의상 어레이 공정을 거쳐 액정 셀의 제조공정중 배향막 형성공정을 거친 상태의 하부 기판에 대해서 도시하며, 또한 게이트 및 데이터 패드부에 대한 도시는 생략한다.
- <69> 도시한 바와 같이, 제 1 방향으로 게이트 전극(102)을 포함하는 게이트 배선(103)이 형성되어 있고, 제 2 방향으로 이 게이트 배선(103)과 교차하며, 소스 전극(112)을 포함하는 데이터 배선(113)이 형성되어 있고, 이 소스 전극(112)과 일정간격 이격되어 드레인 전극(114)이 형성되어 있으며, 이 소스 전극(112) 및 드레인 전극(114)의 사이 구간에는 이 소스 전극(112) 및 드레인 전극(114)과 각각 일정간격 오버랩되어 아일랜드 형상의 반도체층(108)이 형성되어 있고, 이 게이트 전극(102)과 반도체층(108) 소스 및 드레인 전극(112, 114)을 포함하여 박막 트랜지스터(T)라 한다.
- <70> 또한, 상기 제 1 방향으로는 공통배선(105)이 형성되어 있고, 이 공통배선(105)에서 상기 제 2 방향으로 다수 개의 공통전극(104)이 분기되어 있다.
- <71> 상기 드레인 전극(114)에서 연장 형성된 인출배선(117)이 상기 제 1 방향으로 형성되어 있고, 이 인출배선(117)에서 상기 제 2 방향으로 다수 개의 화소전극(116)이 상기 공통전극(104)과 엇갈리게 분기되어 있다.

- <72> 한편, 미도시된 게이트 및 데이터 패드부에는 별도의 패드전극을 구성하지 않고, 추후 공정에서 상기 게이트 및 데이터 패드를 외부회로와 직접 연결하는 방식을 이용한다.
- <73> 본 발명의 특징은 박막 트랜지스터를 보호하는 목적으로 형성하는 보호층 형성 공정을 생략하고, 그 대신에 액정에 일정한 배향방향을 주는 배향막을 상기 박막 트랜지스터의 보호층의 역할을 겸하도록 형성한 것이다.
- <74> 이하, 상기 내용과 관련된 본 발명에 따른 횡전계형 액정표시장치용 하부기판의 제조공정을 도면을 참조하여 상세히 설명한다.
- <75> 도 6a 내지 6d는 도 5의 절단선 D-D 및 E-E에 따른 제작공정을 단계별로 도시한 단면도로서, 이 절단선 D-D 및 E-E는 각각 박막 트랜지스터부 및 공통전극과 화소전극의 형성단계에 대한 단면도이다.
- <76> 도 6a는 투명기판(100) 상에 게이트 전극(102) 및 공통전극(104)을 형성하는 단계이다.
- <77> 이때, 상기 게이트 전극(102) 및 공통전극(104)은 동일한 금속층을 이용하여 사진식각공정에 따른 제 1 마스크 공정에 의해 형성된다.
- <78> 상기 게이트 전극(102) 및 공통전극(104)은 비교적 비저항이 낮은 순수 알루미늄(Aluminum) 또는 알루미늄을 포함하는 금속층으로 이루어질 수 있다.
- <79> 또한, 크롬(Cr), 몰리브덴(Mo), 탄탈(Ta), 텅스텐(W), 안티몬(Sb), 티탄(Ti), 알루미늄(Al) 또는 이들의 이중층으로도 형성할 수 있다.

<80> 도 6b에서는, 상기 게이트 전극(102) 및 공통전극(104)이 형성된 기판 상에 게이트 절연막(106) 및 비정질 실리콘층, 불순물 비정질 실리콘층을 차례대로 형성한 후, 제 2 마스크 공정에 의해 상기 비정질 실리콘층 및 불순물 비정질 실리콘층을 패터닝하여 반도체층(108)을 형성하는 단계이다.

<81> 상기 게이트 절연막(106)은 실리콘 산화막, 실리콘 질화막, BCB(BenzoCycloButene), 아크릴계 레진(arcylic resin) 등의 절연물질을 이용하여 형성할 수 있으나, 추후 공정에서 별도의 사진식각공정없이 직접 드로잉방식으로 게이트 절연막(106) 상에 게이트 및 데이터 패드 콘택홀을 형성하기 위해, 이중 직접 드로잉방식이 용이한 BCB 이나 아크릴계 레진과 같은 유기 물질을 이용하는 것이 바람직하다.

<82> 그리고, 이 반도체층(108)은 비정질 실리콘층으로 이루어진 액티브층(108a)과, 액티브층(108a)과 추후 형성될 금속층과의 접촉저항을 낮추기 위해 전자이동도를 높은 불순물 비정질 실리콘으로 이루어진 옴릭 콘택층(108b ; ohmic contact layer)을 포함하여 이루어진다.

<83> 이 단계에서는 미도시한 게이트 패드 콘택홀을 형성하는 방법은, 상기 게이트 절연막의 실리콘 질화막을 이용한 증착시나 또는, 유기 물질을 이용한 스핀 코팅(spin coating)단계에서 게이트 패드부를 덮는 마스크를 직접 드로잉 방식으로 배치한 후, 게이트 절연막의 증착 또는 스핀 코팅 단계 후, 마스크로 가려져 게이트 절연막이 형성되지 않은 영역을 게이트 패드 콘택홀로 형성하는 것이다.

<84> 이때의 마스크 공정은 사진식각공정에 따른 마스크 공정에 비해 미세한 패턴의 형성이 요구되는 소자에 적용하기는 어렵지만, 상기 사진식각공정에 따른

마스크 공정보다 공정비용 및 공정시간이 단축되므로, 실질적으로 본 발명에서 언급하는 공정 수를 증가시키지 않는다.

<85> 도 6c에서는, 상기 반도체층 상에 제 3 마스크 공정에 의해 소스 및 드레인 전극(112, 114)과 화소전극(116)을 형성하는 단계이다.

<86> 도시한 바와 같이, 상기 반도체층(108)상에는 서로 일정간격 이격되어 소스 및 드레인 전극(112, 114)이 형성되어 있고, 상기 게이트 절연막(106)상에 화소 전극(116)이 공통전극(104)과 일정간격 이격되어 형성되어 있다.

<87> 이때, 상기 화소전극(116)과 미도시한 데이터 배선(도 5의 113)은 동일 평면상에 형성되기 때문에, 두 금속물질간의 전기적 간섭으로 화질저하 현상을 방지하기 위해, 이 화소전극(116)은 화소영역에서 공통전극(104)보다 내부에 위치하도록 형성한다.

<88> 상기 소스 및 드레인 전극(112, 114)과 화소전극(116)을 이루는 금속물질로는 화학적 내식성이 강하고, 기계적인 강도가 높은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)과 같은 금속으로 이루어진다.

<89> 또한, 알루미늄(Al), 탄탈(Ta), 안티몬(Sb), 티탄(Ti) 또는 이들의 이중층으로도 형성할 수 있다.

<90> 그리고, 상기 소스 및 드레인 전극(112, 114)의 패턴을 형성한 후에는, 이 소스 및 드레인 전극(112, 114) 사이 구간의 오믹 콘택층(108b)을 식각하여, 채널(CH)을 형성한다.

- <91> 이때, 상기 채널(CH)부에서는 오믹 콘택층(108b)을 완전히 제거해야 전압의 온/오프를 조정하는 기능을 할 수 있으므로, 상기 오믹 콘택층(108b)과 식각선택비가 없이 그 하부층을 이루는 액티브층(108a)까지 일정깊이 과식각처리를 하게 된다.
- <92> 상기 게이트 전극(102) 및 반도체층(108)과 소스 및 드레인 전극(112, 114)을 포함하여 박막 트랜지스터(T)라 한다.
- <93> 이로써, 사진식각 공정에 의한 마스크 공정은 3 마스크 공정으로 완료되며, 그 다음에는 보호층 형성공정 대신에 기존에는 액정 셀 공정에 포함되었던 배향막 형성공정이 이어진다.
- <94> 도 6d는 상기 박막 트랜지스터 상에 배향막을 형성하는 단계이다.
- <95> 이 배향막(118) 형성은, 액정 분자의 균일한 배향을 형성하여, 정상적인 액정구동이 가능하게 하고, 균일한 디스플레이 특성을 갖기 위해서 필요하다. 이 단계에서 가장 중요한 점은 넓은 면적에 일정하고 균일하게 배향막을 도포하는 것이다.
- <96> 이러한 배향막으로는 폴리이미드(polyimide)계 또는 폴리아미드(polyamide)계 고분자 화합물이 널리 사용되며, 도포된 배향막은 예비 건조기와 경화로를 통해 경화되는 소성공정을 거쳐 완성된다.
- <97> 이때, 상기 소성공정은 약 230℃에서 2~3시간동안의 열처리 공정이 포함되는데, 이러한 열처리 조건은 박막 트랜지스터의 어닐링 공정에 필요한 열처리 조건과 동일하므로, 본 발명에서는 박막 트랜지스터를 포함하여 어레이 소자를 보

호하는 보호층 형성공정을 생략하고, 그 대신에 상기 단계에서 배향막을 형성하여, 이 배향막이 보호층 역할을 겸하며, 또한 배향막을 경화시키기 위한 소성공정에 필요한 열처리 공정을 통해 박막 트랜지스터의 어닐링까지 이루어지도록 한다.

<98> 즉, 본 발명에서는 어레이 공정에서 보호층 형성공정을 생략하여 공정 수를 줄일 수 있고, 또한 배향막의 열처리 공정으로 박막 트랜지스터의 어닐링 공정도 동시에 이루어지도록 하므로써, 공정시간을 줄일 수 있다.

<99> 이러한 배향막의 소성처리 후에는, 추후 공정에서 액정이 일정한 방향으로 배향될 수 있도록 러빙처리 공정이 이어지고, 그 후에는 하부 기판의 전기적 검사를 거쳐 양품을 가려낸 후, 액정 셀 공정으로 이어지게 된다.

<100> 상기한 러빙공정에서 액정을 일정한 방향으로 유도하기 위한 러빙방향을 공통전극(104)과 화소전극(116)의 길이 방향에서 5~45°기울어진 방향으로 함으로써, 액정의 러빙방향을 따라 5~45°각도로 배향되도록 한다.

<101> 도면으로는 제시하지 않았지만, 본 발명에 따른 상부기판에는 하부 기판의 화소영역과 대응하는 위치에 R,G,B 컬러필터 및 액정이 구동되지 않는 영역과 대응하는 위치에 블랙 매트릭스(black matrix)를 형성하며, 이러한 상부기판의 제조 공정 후에는 정전기 방지를 위해 투명도전층을 상기 상부기판의 외측에 형성할 수 있다.

<102> 또한, 본 발명에 따른 액정은 음의 유전율 이방성을 가진 액정을 사용하며, 응답속도의 향상을 위해 카이랄 도펀트(chiral dopant)를 첨가할 수도 있다.

<103> 그러나, 본 발명의 상기 실시예로 한정되지 않으며, 본 발명의 취지에 벗어나지 않는 범위내에서 다양하게 변경하여 실시할 수 있다.

【발명의 효과】

<104> 이상과 같이, 본 발명에 따른 횡전계형 액정표시장치는 다음과 같은 장점을 가진다.

<105> 첫째, 어레이 공정에서 보호층 형성공정의 생략으로 3 마스크 공정으로 진행하여, 공정 수를 단축할 수 있는 효과를 가진다.

<106> 둘째, 배향막의 소성공정에 필요한 열처리 공정을 통해 박막 트랜지스터의 어닐링 공정도 동시에 이루어지도록 하므로써, 공정 시간을 단축할 수 있다.

<107> 세째, 마스크 수 및 공정시간의 단축으로 비용절감이 가능하여, 생산력을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

투명기판과;

상기 투명기판 상에 제 1 방향으로 형성된 게이트 전극을 포함하는 게이트 배선과;

상기 제 1 방향으로 형성된 공통배선 및 상기 공통배선에서 상기 제 2 방향으로 다수 개 분기된 공통전극과;

상기 게이트 배선 및 공통전극 상부에 형성된 게이트 절연막과;

상기 게이트 절연막 상부에 형성된 비정질 실리콘(a-Si) 층 및 불순물 반도체(n+ a-Si)층으로 이루어진 반도체층과;

상기 반도체층 상부에 위치하며, 상기 제 2 방향으로 형성된 데이터 배선 및 상기 데이터 배선에 연결된 소스 및 드레인 전극과;

상기 드레인 전극에서 연장된 인출배선에서 다수 개 분기되어 상기 공통전극과 서로 엇갈리게 형성된 화소전극과;

상기 화소전극의 상부에 위치하며, 상기 화소전극과 연접하여 형성된 배향막

을 포함하는 횡전계형 액정표시장치용 하부기판.

【청구항 2】

제 1 항에 있어서,

상기 게이트 절연막은 BCB(BenzoCycloButene), 아크릴계 레진(Acrylic Resin) 중 어느 하나로 이루어진 횡전계형 액정표시장치용 하부기판.

【청구항 3】

제 1 항에 있어서,

상기 배향막은 폴리이미드(polyimide), 폴리아미드(polyamide) 중 어느 하나로 이루어진 횡전계형 액정표시장치용 하부기판.

【청구항 4】

제 1 항에 있어서,

상기 게이트 배선 및 공통배선은 순수 알루미늄, 알루미늄을 포함하는 금속 층중 어느 하나로 이루어진 횡전계형 액정표시장치용 하부기판.

【청구항 5】

제 1 항에 있어서,

상기 데이터 배선 및 화소전극은 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 중 어느 하나로 이루어진 횡전계형 액정표시장치용 하부기판.

【청구항 6】

투명기판을 구비하는 단계와;

상기 투명기판 상부에 제 1 마스크 공정에 의해 게이트 전극을 포함하는 게이트 배선과, 공통전극을 형성하는 단계와;

상기 게이트 배선 및 공통전극 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상부에 제 2 마스크 공정에 의해 비정질 실리콘층 및 불순물 비정질 실리콘층을 이용하여 반도체층을 형성하는 단계와;

상기 반도체층 상부에 제 3 마스크 공정에 의해 화소전극과, 소스 전극을 포함하는 데이터 배선과, 상기 소스 전극과 일정간격 이격되는 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 사이 구간의 불순물 비정질 실리콘층을 식각하여 채널을 형성하는 단계와;

상기 화소전극 및 데이터 배선 상부에 배향막을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 하부기판의 제조방법.

【청구항 7】

제 6 항에 있어서,

상기 열처리는 200~230℃에서 2~3시간 동안 이루어지는 횡전계형 액정표시장치용 하부기판의 제조방법.

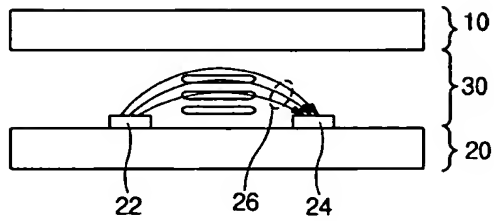
【청구항 8】

제 6 항에 있어서,

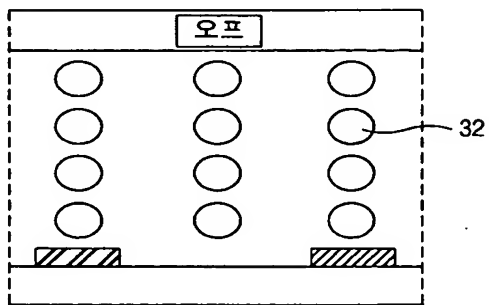
상기 배향막을 형성하는 단계에서, 상기 배향막을 포함하는 기판 상에 열처리를 하여, 배향막의 경화 및 상기 게이트 전극, 반도체층, 소스 및 드레인 전극으로 이루어지는 박막 트랜지스터의 어닐링(annealing)에 수반되는 열처리를 동시에 실시하는 단계를 더욱 포함하는 횡전계형 액정표시장치용 하부기판의 제조 방법.

【도면】

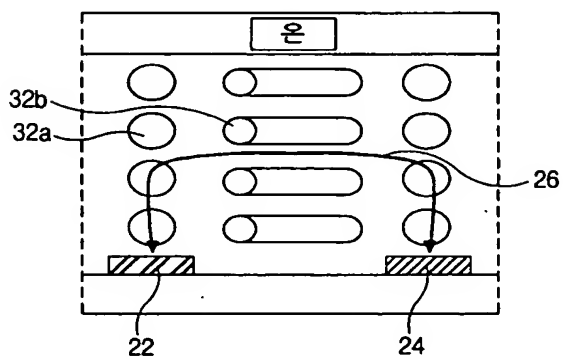
【도 1】



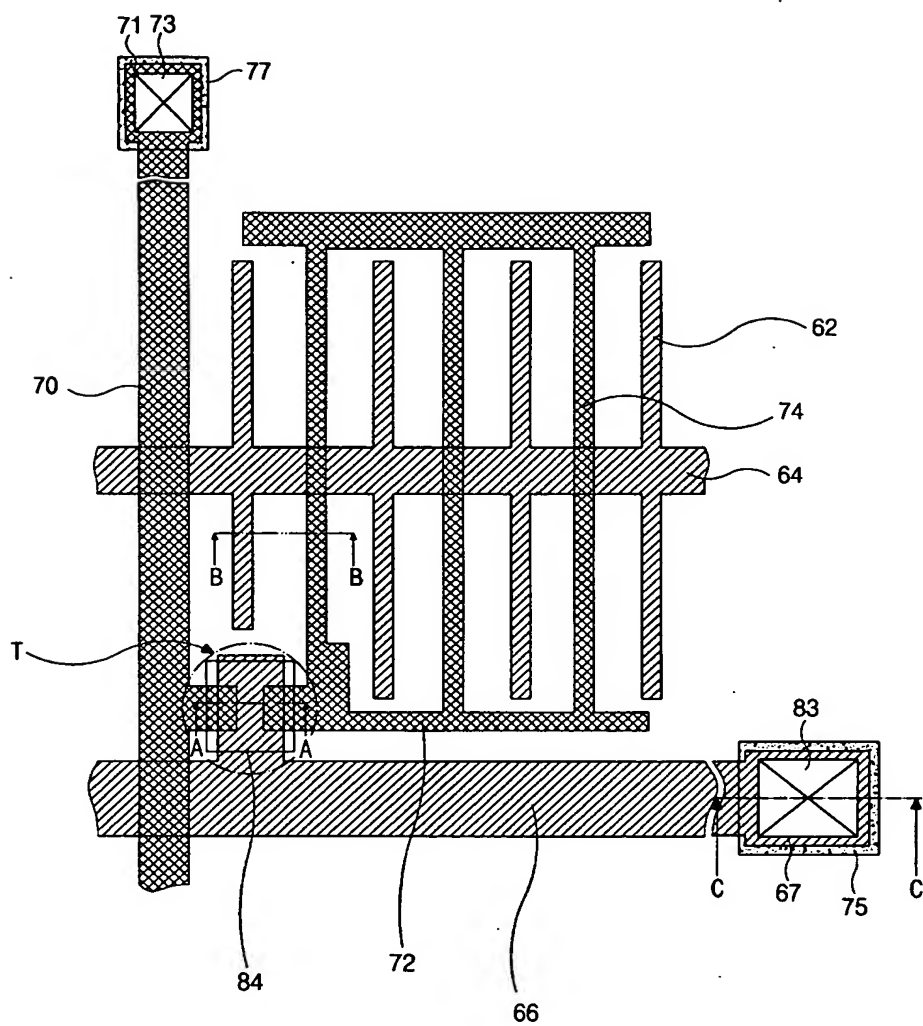
【도 2a】



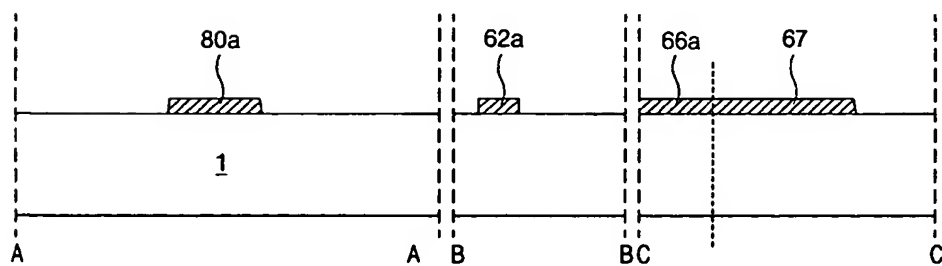
【도 2b】



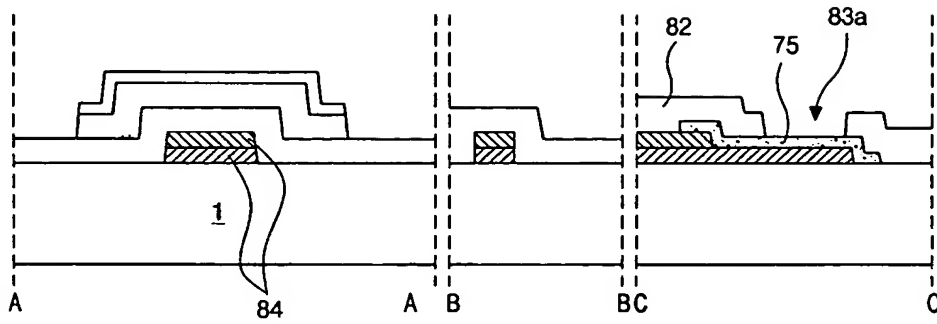
【도 3】



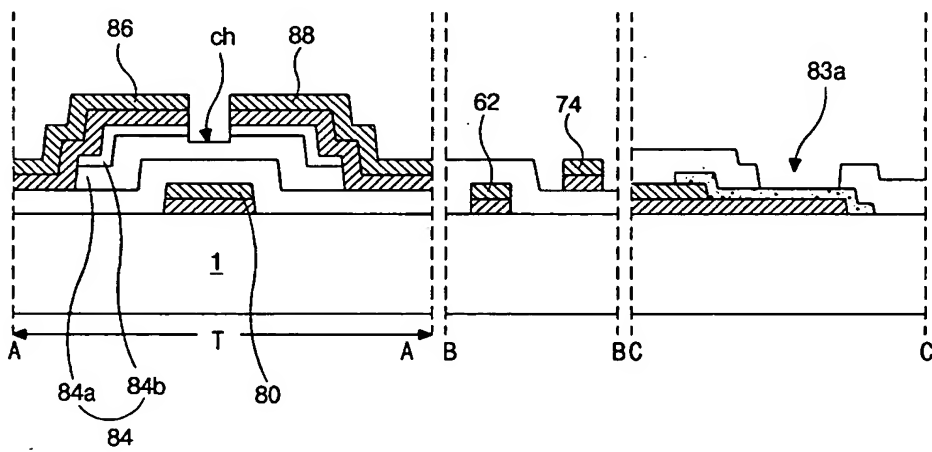
【도 4a】



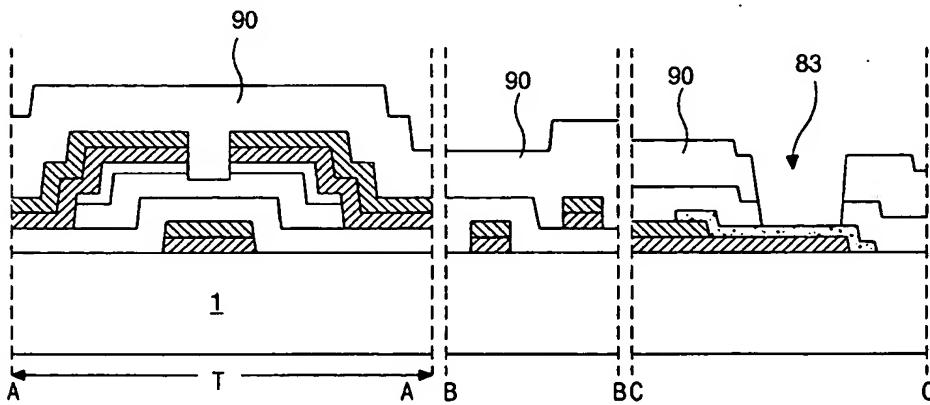
【도 4e】



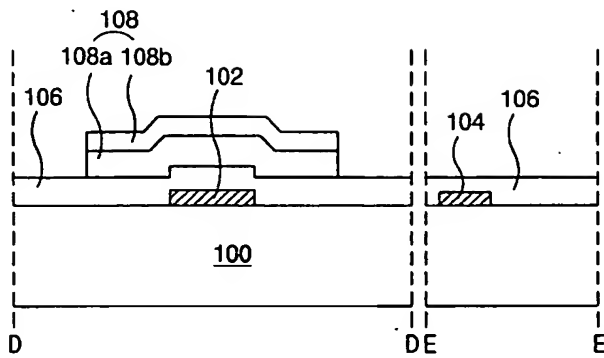
【도 4f】



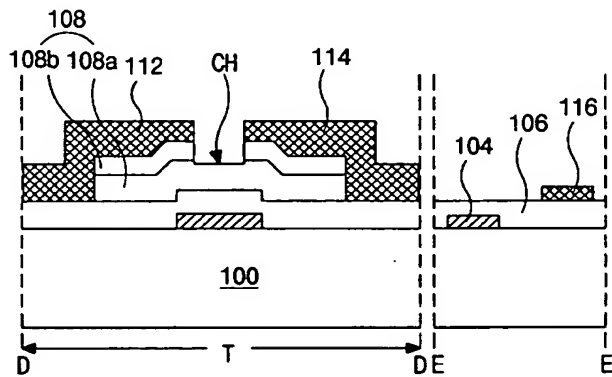
【도 4g】



【도 6b】



【도 6c】



【도 6d】

